

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 11-330390

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 27/10  
H01L 27/04  
H01L 21/822  
H01L 27/108  
H01L 21/8242  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 11-074491

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 18.03.1999

(72)Inventor : KOO BON-JAE

(30)Priority

Priority number : 98 9810989

Priority date : 30.03.1998

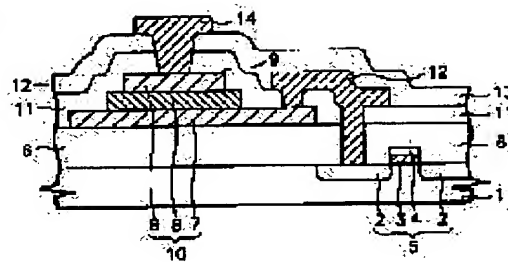
Priority country : KR

**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and a method for manufacturing it by operating at a low voltage having an improved ferroelectric property (that is, a residual dielectric polarization).

**SOLUTION:** The semiconductor device comprises a semiconductor substrate having an integrated circuit formed to have a diffused layer 2, a first interlayer insulating film 6 formed to cover the substrate 1 and the integrated circuit, a ferroelectric capacitor 10 formed on the film 6 and constituted by a lower electrode 7, a ferroelectric film 8 and an upper electrode 9, a second interlayer insulating film 11 formed on the capacitor 10 and the film 6 having a tensile stress to the capacitor 10, a first metal wiring 12 arriving at the layer 2 and the electrode 7 via a first contact hole 12a of the film 11, a third interlayer insulating film 13 covering the wiring 12 and the film 11 having a tensile stress to the capacitor 10, and a second metal wiring 14 formed to arrive at the electrode 9 via a second contact hole of the film 13.

**LEGAL STATUS**

[Date of request for examination]

09.01.2003

[Date of sending the examiner's decision of

1  
2  
3

4  
5  
6

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

1  
2  
3  
4

5

6

7

8

9

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330390

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 27/10  
27/04  
21/822  
27/108  
21/8242

識別記号

4 5 1

F I

H 0 1 L 27/10  
27/04  
27/10  
29/78

4 5 1

C

6 2 1 Z

3 7 1

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平11-74491

(22) 出願日 平成11年(1999) 3 月18日

(31) 優先権主張番号 1 9 9 8 1 0 9 8 9

(32) 優先日 1998年 3 月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 具 本宰

大韓民国仁川市延水区玉蓮洞 (番地なし)

現代エービーティ 403-2002

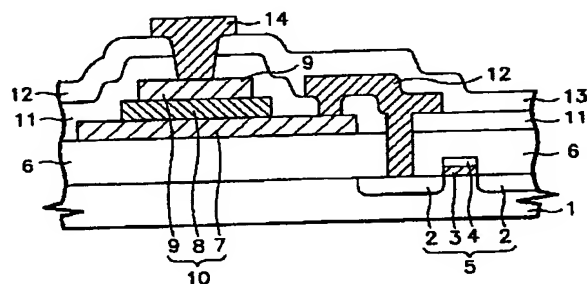
(74) 代理人 弁理士 志賀 正武 (外 1 名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 向上された強誘電性(即ち、残留分極)を有する低電圧で作動する半導体装置及びその製造方法を提供することである。

【解決手段】 拡散層 2 を有する集積回路が形成された半導体基板 1 と、半導体基板 1 及び集積回路を覆うように形成された第 1 層間絶縁膜 6 と、第 1 層間絶縁膜 6 上に形成され、下部電極 7、強誘電体膜 8 及び上部電極 9 で構成された強誘電体キャパシター 10 と、強誘電体キャパシター 10 に対して引張応力を有するように強誘電体キャパシター 10 及び第 1 層間絶縁膜 6 上に形成された第 2 層間絶縁膜 11 と、層間絶縁膜 11 の第 1 コンタクトホール 12 a を通じて拡散層 2 及び下部電極 7 に到達する第 1 金属配線 12 と、強誘電体キャパシター 10 に対して引張応力を有するように第 1 金属配線 12 及び第 2 層間絶縁膜 11 を覆う第 3 層間絶縁膜 13 と、第 3 層間絶縁膜 13 の第 2 コンタクトホールを通じて上部電極 9 に到達するように形成された第 2 金属配線 14 とを含むことを特徴とする。



## 【特許請求の範囲】

【請求項1】 少なくとも1つの拡散層を有する集積回路が形成される半導体基板上に前記集積回路を覆う第1層間絶縁膜を形成する段階と、

前記第1層間絶縁膜上に下部電極、強誘電体膜及び上部電極で構成された強誘電体キャパシターを形成する段階と、

前記強誘電体キャパシターに対して引張応力を有するように、前記強誘電体キャパシター及び前記第1層間絶縁膜を覆う第2層間絶縁膜を形成する段階と、

前記第2層間絶縁膜に前記拡散層及び前記下部電極に到達する第1コンタクトホールを形成する段階と、

前記第1コンタクトホールを形成した後、酸素雰囲気中で第1熱処理を遂行する段階と、

前記第1熱処理を遂行した後、前記第1コンタクトホールを通じて前記拡散層及び前記下部電極に到達する第1金属配線を形成する段階と、

前記強誘電体キャパシターに対して引張応力を有するように、前記第1金属配線及び前記第2層間絶縁膜を覆う第3層間絶縁膜を形成する段階と、

前記第3層間絶縁膜に前記上部電極に到達する第2コンタクトホールを形成する段階と、

前記第1コンタクトホールを形成した後、酸素雰囲気中で第2熱処理を遂行する段階と、

前記第2コンタクトホールを通じて前記上部電極に到達する第2金属配線を形成する段階とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第2及び第3層間絶縁膜は低温酸化膜で形成されることを特徴とする請求項1項に記載の半導体装置の製造方法。

【請求項3】 前記低温酸化膜はPE-TEOSと、USGと、ECR-OXとのうち、ある1つの酸化膜で形成されることを特徴とする請求項2項に記載の半導体装置の製造方法。

【請求項4】 少なくとも1つの拡散層を有する集積回路が形成された半導体基板と、

前記半導体基板及び前記集積回路を覆うように形成された第1層間絶縁膜と、

前記第1層間絶縁膜上に形成されているが、下部電極、強誘電体膜及び上部電極で構成された強誘電体キャパシターと、前記強誘電体キャパシターに対して引張応力を有するように前記強誘電体キャパシター及び前記第1層間絶縁膜上に形成された第2層間絶縁膜と、前記層間絶縁膜の第1コンタクトホールを通じて前記拡散層及び前記下部電極に到達する第1金属配線と、前記強誘電体キャパシターに対して引張応力を有するように、前記第1金属配線及び前記第2層間絶縁膜を覆う第3層間絶縁膜と、前記第3層間絶縁膜の第2コンタクトホールを通じて前記上部電極に到達するように形成された第2金属配線とを含むことを特徴とする半導体装置。

【請求項5】 前記第2及び第3層間絶縁膜は低温酸化膜として、PE-TEOSと、USGと、ECR-OXとのうち1つの酸化膜で形成されることを特徴とする請求項4項に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置に関するものであり、特に強誘電体キャパシター(ferroelectric capacitor)を有する半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】最近、電源オフ時にもデータを維持する機能を有する不揮発性メモリはヒステリシス特性(hysteresis characteristic)を示すPZTのような強誘電物質の使用を通じて実現されてきた。メモリセルにそのような強誘電物質を使用することによって、不揮発性メモリは簡単な構造で具現できる。強誘電体ランダムアクセスメモリ(FRAM: Ferroelectric Random Access Memory)は不揮発性の特性を有し、高速低電圧動作が可能するため多くのメモリチップメーカーの関心と競争が高くなっている。

【0003】強誘電体キャパシターとスイッチングトランジスタで構成されたメモリセルは強誘電体キャパシター(CF: Ferroelectric capacitor)の電気的分極状態にしたがって、データの論理的状態('1' 或は '0')を蓄積する。強誘電体キャパシター(CF)の両端に電圧が印加されるとき、電界の方向にしたがって強誘電物質が分極(polarization)され、そのような分極状態が変わるスイッチングスレシユホールド電圧(switching threshold voltage)を強制電圧(coercive voltage)と称する。そして、メモリセルに蓄積されたデータを読出するため、強誘電体キャパシターの両電極との間の電圧差を印加してビットラインに励起される電荷量の変化によって、メモリセルに蓄積されたデータの状態が感知される。

【0004】図1は強誘電体キャパシターのヒステリシス特性を示すグラフである。グラフの横座標(abscissa)はキャパシターの両電極との間の電位差、即ち、キャパシター両端の電圧(volts)を示し、縦座標(ordinate)は強誘電物質の自発分極(spontaneous polarization)にしたがい、その表面に発生される単位面積あたりの電荷の量、即ち、分極[ $\mu\text{C}/\text{cm}^2$ ]を示す。

【0005】もし、0Vの電圧が印加されて強誘電物質にはどんな電界が印加されていない場合、代々に、分極ドメイン(polarization domains)は不均一であり、分極が発生されない。キャパシター両端の電圧が正の方向に増加されるとき、分極(或は電荷

量)は0(zero)から正の分極領域内の点Aまで増加する。点Aにおいて、すべてのドメインは一つの方に分極され、点Aからの分極は最大値に到るようにする。この時、分極、即ち、強誘電物質が保有する電荷の量は $Q_s$ で表示され、キャパシター両端に印加された電圧の大きさが動作電圧(+Vs)である。以後、キャパシター両端の電圧が再び0Vまで下降しても、分極は0まで低くならず、点Bに残留される。このような残留分極によって強誘電物質が保有する電荷の量、即ち、残留分極は $Q_r$ で表示される。

【0006】次に、キャパシター両端の電圧が負の方向に増加すると、分極は点Bから負の電荷分極領域内の点Cに変わる。点Cにおいて、強誘電物質のすべてのドメインは点Aからの分極方向に反対になる方向に分極される。この時、分極は $-Q_s$ で表示され、キャパシター両端に印加される電圧の大きさは $-V_s$ である。以後、キャパシター両端の電圧が再び0Vまで下がっても、分極値は0まで下がらないで、点Dに残留する。この時の残留分極は $-Q_r$ で表示される。キャパシター両端に印加される電圧の大きさが再び一度正の方向に増加されると、強誘電物質の分極は点Dから点Aに変わる。

【0007】前述したように、電界を発生するため電圧が二つの電極との間に強誘電物質が挿入された強誘電体キャパシターに一回印加されると、以後電極がフローティング状態(floating state)に設定されても自発分極による分極方向は維持される。自発分極のため、強誘電物質の表面電荷(surface charge)は漏洩等によって自然には損失しない。分極が0になるように反対方向に電圧が印加されていないと、分極方向はそのまま維持される。

【0008】次には、FRAMの書込/読出は前述したように分極反転によって遂行される。したがって、FRAMの動作速度は分極反転時間によって決定される。強誘電体キャパシターの分極反転速度はキャパシターの面積、強誘電体薄膜の厚さ、印加電圧等によって結晶され、単位は通常nsである。これは $\mu s$ 単位の読出/書込時間を有するEEPROM(electrically erasable and programmable read only memory)又はフラッシュメモリと比べると、より早い速度で動作可能であることを意味する。

【0009】強誘電体キャパシターを利用してメモリセルを形成するとき、強誘電体キャパシターの二つの電極(下部電極及び上部電極)との間に挿入される強誘電物質の特性のため、その製造に相当な難しさが伴う。特に強誘電体キャパシター上に層間絶縁膜を蒸着する工程が強誘電体キャパシターの特性を左右するもっとも重要な工程である。強誘電体キャパシターを有する半導体メモリ装置は次のような手順を通じて形成される。

【0010】まず、拡散層、ゲート絶縁膜及びゲート電

極を含むMOSトランジスタが形成される。次に、3つの層、即ち、下部から順に、形成された下部電極、強誘電体膜及び上部電極で構成される、強誘電体キャパシターが半導体基板及びMOSトランジスタを覆うように使用される絶縁膜上に形成される。最終的に、1つの拡散層及び下部電極用コンタクトホールと上部電極用コンタクトホールが形成され、金属配線が形成される。

#### 【0011】

【発明が解決しようとする課題】前述した製造工程のうち、強誘電体キャパシターを形成する間に強誘電体膜の物質は要求される強誘電性(図1に図示されたヒステリシス特性)を示す結晶構造(perovskite)を有しなければならない。しかしながら、強誘電体キャパシター上に絶縁膜が蒸着される時、圧縮応力(compressive stress)或いは水素ガス等が発生され、下部のキャパシターに影響を及ぼし、その影響によって、強誘電体特性、例えば、残留分極が低下されるようになる。2つの強誘電体キャパシターと2つのトランジスタで構成された2T/2C構造において、強誘電体キャパシターの残留分極が製造工程うちに低下されても感知マージン(sensing margin)に関することは大きな問題にならない。しかし、高集積に適する1T/1C構造では、製造工程うちに残留分極が低下されると、2T/2C構造と異なり感知マージンに関することが大きく問題になる。この時、漸次的に半導体メモリ装置が低電圧下で動作する傾向では、1T/1C構造の感知マージンに関する問題がもっと深刻な問題になる。

【0012】したがって、本発明の目的は向上された強誘電性(即ち、残留分極)を有する低電圧半導体装置を提供することである。

【0013】本発明のその他の目的は強誘電性の劣化を防止できる低電圧半導体装置の製造方法を提供することである。

#### 【0014】

【課題を解決するための手段】上述したような目的を達成するための本発明の1つの特徴によると、少なくとも1つの拡散層を有する集積回路が形成された半導体基板上に集積回路を覆う第1層間絶縁膜を形成する段階と、第1層間絶縁膜上に下部電極、強誘電体膜及び上部電極で構成された強誘電体キャパシターを形成する段階と、強誘電体キャパシターに対して引張応力を有するように強誘電体キャパシター及び第1層間絶縁膜を覆う第2層間絶縁膜を形成する段階と、第2層間絶縁膜に拡散層及び下部電極に到達する第1コンタクトホールを形成する段階と、第1コンタクトホールを形成した後、酸素雰囲気第1熱処理を遂行する段階と、第1熱処理を遂行した後、第1コンタクトホールを通じて拡散層及び下部電極に到達する第1金属配線を形成する段階と、強誘電体キャパシターに対して引張応力を有するように第1金属

配線及び第2層間絶縁膜を覆う第3層間絶縁膜を形成する段階と、第3層間絶縁膜に上部電極に到達する第2コンタクトホールを形成する段階と、第1コンタクトホールを形成した後、酸素雰囲気中で第2熱処理を遂行する段階と、第2コンタクトホールを通じて上部電極に到達する第2金属配線を形成する段階とを含む。

【0015】この実施の形態において、第2及び第3層間絶縁膜は低温酸化膜で形成され、PE-TEOS (Plasma Enhanced-Tetraethylorthosilicate) 膜と、USG (Undoped Silicate Glass) 膜と、ECR-OX (Electron Cyclotron Resonance-Oxide) 膜とのうち、ある1つの酸化膜であることを特徴とする。

【0016】本発明のその特徴によると、少なくとももの拡散層を有する集積回路が形成された半導体基板と、半導体基板及び集積回路を覆うように形成された第1層間絶縁膜と、第1層間絶縁膜上に形成されているが、下部電極、強誘電体膜及び上部電極で構成された強誘電体キャパシターと、強誘電体キャパシターに対して引張応力を有するように強誘電体キャパシター及び第1層間絶縁膜を覆うように形成された第2層間絶縁膜と、層間絶縁膜の第1コンタクトホールを通じて拡散層及び下部電極に到達する第1金属配線と、強誘電体キャパシターに対して引張応力を有するように、第1金属配線及び第2層間絶縁膜を覆う第3層間絶縁膜と、第3層間絶縁膜の第2コンタクトホールを通じて上部電極に到達するように形成された第2金属配線を含む。

【0017】この実施の形態において、第2及び第3層間絶縁膜は低温酸化膜で形成され、PE-TEOSと、USGと、ECR-OXとのうち、ある1つの酸化膜であることを特徴とする。

【0018】このような方法によって、低電圧下で感知マージンが向上される強誘電体キャパシターを形成することができる。これを達成するための本発明の新規な半導体装置の製造方法において、強誘電体キャパシターが形成された後、キャパシターを覆う絶縁膜が形成される。このとき、絶縁膜は強誘電体キャパシターに対する大きい引張応力を有するように低温酸化膜で形成する。これによって、強誘電体キャパシターは要求される強誘電性を有する結晶構造で形成されることができ、結果的に、キャパシター特性(即ち、ヒステリシス特性)が改善することによって、その残留分極が増加される。

【0019】

【発明の実施の形態】本発明による図面の図2乃至図6を参照して、本発明の望ましい実施の形態による半導体装置の製造工程が以下詳細に説明される。

【0020】図2に図示されたように、まず、拡散層2、ゲート絶縁膜3及びゲート電極4を含むMOSトランジスター5が半導体基板1に形成される。MOSトランジスター5は、通常の半導体製造方法によって形成される。その次に、MOSトランジスター5が形成された

半導体基板1は第1層間絶縁膜(first interlayer insulating film)6によって完全に覆う。下部電極(lower electrode)7、強誘電体膜(ferroelectric film)8及び上部電極(upper electrode)9が第1層間絶縁膜6上に通常の製造方法で順次的に形成され、その7、8及び9は1つの強誘電体キャパシター10として形成される。

【0021】次に第2層間絶縁膜11が第1層間絶縁膜6及び強誘電体キャパシター10上に形成される。本発明において第2層間絶縁膜11が強誘電体キャパシター10に対して引張応力を有するようにするため低温酸化膜、例えば、ECR-OX膜、USG膜或いはPE-TEOS膜等で形成される。具体的には、ECR-OX膜はN<sub>2</sub>O、SiH<sub>4</sub>、そしてO<sub>2</sub>を使用して約200℃の低い温度でRFパワー(power)が約400Wで蒸着される。ECR-OX膜は低い温度で、高いエネルギーを有するプラズマを形成することが大きな長所である。USG膜はO<sub>3</sub>-TEOSを使用して約400℃でLPCVDによって蒸着されられる。そして、PE-TEOS膜はPE-TEOS膜はTEOSとN<sub>2</sub>Oを使用して約400WのRFパワー、約400℃でプラズマCVDによって蒸着されられる。

【0022】図6及び図7は各々ECR-OX膜の蒸着温度とフローレート(flow rate)に従う残留分極を示すグラフである。図6及び図7において、'a s. cap'は強誘電体キャパシター上にECR-OX膜が形成される前の状態を示した。図示したように、残留分極はECR-OX膜の蒸着温度及び酸素フローレートが増加することによって、減少する傾向を示している。一方、図8及び図9はECR-OX膜の蒸着温度及び酸素フローレートによる強誘電体キャパシターに印加されるストレスの変化を示している。示したように温度が増加することによって、強誘電体キャパシターに印加される引張応力を低下する傾向であることがわかる。尚、図8及び図9において、on cap.は、on capacitorを意味する。

【0023】というわけで、強誘電体キャパシターの特性(残留分極)を向上させるためにできるだけ低温で層間絶縁膜を蒸着するのが望ましいことである。前述のようにECR-OX膜の場合、約200℃で蒸着されるのが望ましいことである。

【0024】次に、図3に図示されたように、MOSトランジスター5の拡散層2及び強誘電体キャパシター10の下部電極6に各々到達する第1コンタクトホール12aがエッチング技術によって第2層間絶縁膜11及び第1層間絶縁膜に形成される。次に、エッチングによるプラズマ損傷を除去するため、約450℃以下で熱処理(heat treatment)が酸素雰囲気中で遂行される。



【0025】次に、図4に図示されたように、第1コンタクトホール12aを通じて各々拡散層2及び下部電極7に到達する金属配線12が形成される。金属配線12は通常の金属配線技術によって形成される。

【0026】その次に、金属配線12を含む第2層間絶縁膜11上に第3層間絶縁膜13が蒸着される。第3層間絶縁膜13は又第2層間絶縁膜11ののようキャパシター特性の劣化を防止するため、上述したように酸化膜で形成する。

【0027】次に、図10で図示されなかったが、強誘電体キャパシター10の上部電極9に到達する第2コンタクトホール(図示せず)がエッチング技術によって第3層間絶縁膜13に形成される。その次に、エッチングによるプラズマ損傷を除去するため、450℃以下で熱処理が酸素雰囲気中で遂行される。最終的に、第2コンタクトホールを通じて上部電極9に到達する金属配線14が形成される。金属配線14は通常の金属配線技術によって形成される。

【0028】低温酸化膜が下部キャパシターに対して示す引張応力は工程全般を通じて一定の値を有することがキャパシターの特性に望ましい。言い換えれば、酸化膜蒸着後、後続熱処理工程などでその引張応力等での引張応力の変化量が少ないほど下部のキャパシター特性におよぶ影響は小さい。図10は多様な低温酸化膜の蒸着後、熱処理温度による下部の半導体基板に印加されるストレス変化を示している。ここで、酸化膜のストレスは、半導体基板上に強誘電体キャパシターを形成しないで、直ぐ低温酸化膜を蒸着した後、熱処理温度に従う下部半導体基板に印加されるストレスを示している。図10において、'A'は低温酸化膜蒸着直後、半導体基板に印加されるストレスを示し、'D'は約450℃で熱処理進行時ストレスを示し、'B'は約450℃で熱処理後始めの状態に下降したときのストレスの示し、'C'は'A'と'B'の間のストレスの差を示している。図示されたように約450℃で熱処理進行時ストレスを示し、ECR-OX膜は他の低温酸化膜に比べ、熱処理工程の間そのストレス変化量が相対的に小さく示されることを知られる。

【0029】図11は各々ECR-OX(2000オングストローム)/USG(2500オングストローム)を第2層間絶縁膜/第3層間絶縁膜として使用するとき強誘電体キャパシターの両端に印加される電圧変化による電流及び残留分極の変化を示す図面であり、図12はECR-OX(4500オングストローム)を第2層間絶縁膜/第3層間絶縁膜として使用するとき強誘電体キャパシターの両端に印加される電圧変化による電流及び残留分極の変化を示す図面である。図11と図12とを比べると、第3絶縁膜として、ECR-OX膜を使用すること(図12)がUSGとして第3絶縁膜(図11)を使用することに比べ相対的に供給電圧は低いし、残留

分極は高いことを知られる。これは上述したようにUSG膜はECR-OX膜に比べ、蒸着温度が高い(400℃)し、後続熱処理工程でそのストレス変化量が多いためである。図11及び図12から理解できるのは第3絶縁膜又は第2絶縁膜のように、キャパシター特性を向上させるために、低温酸化膜を低温酸化膜をしようすることが望ましいことである。

【0030】例示的に望ましい実施の形態を利用して本発明を説明したが、本発明の範囲は開示された実施の形態に限定されない。専ら、本発明の範囲に多様な変形例及びその類似な構成をすべて含まれるようにしようものである。したがって、請求範囲はそのような変形例及びその類似な構成全てを含むものであり、できれば幅広く解釈されなければならない。

#### 【0031】

【発明の効果】上述したように、層間絶縁膜はそのストレスが強誘電体キャパシターに対して大きい引張応力を有する物質である低温酸化膜として構成される。というわけで、強誘電体キャパシターの残留分極は低い電圧下で要求された量の分極を得ることができ、結果的に低電圧で、感知マージンが向上された強誘電体キャパシターを具現することができる。

#### 【図面の簡単な説明】

【図1】 強誘電体キャパシターのヒステリシス特性を示すグラフである。

【図2】 本発明の実施形態である半導体装置の製造方法において、半導体基板上に第1層間絶縁膜を形成し、その第1層間絶縁膜上に下部電極、強誘電体膜及び上部電極で構成された強誘電体キャパシターを形成し、その強誘電体キャパシターに対して引張応力を有するように、強誘電体キャパシター及び第1層間絶縁膜を覆う第2層間絶縁膜を形成する段階とを示す半導体装置の断面図である。

【図3】 本発明の実施形態である半導体装置の製造方法において、第2層間絶縁膜に拡散層及び下部電極に到達する第1コンタクトホールを形成し、次いで、第1コンタクトホールを形成した後、酸素雰囲気中で第1熱処理を遂行する段階を示す半導体装置の断面図である。

【図4】 本発明の実施形態である半導体装置の製造方法において、第1熱処理を遂行した後、第1コンタクトホールを通じて拡散層及び下部電極に到達する第1金属配線を形成し、次いで強誘電体キャパシターに対して引張応力を有するように、第1金属配線及び第2層間絶縁膜を覆う第3層間絶縁膜を形成する段階とを示す半導体装置の断面図である。

【図5】 本発明の実施形態である半導体装置の製造方法において、第3層間絶縁膜に上部電極に到達する第2コンタクトホールを形成し、その第2コンタクトホールを形成した後、酸素雰囲気中で第2熱処理を遂行し、次いで、第2コンタクトホールを通じて前記上部電極に到達

する第2金属配線を形成する段階とを示す半導体装置の断面図である。

【図6】 ECR-OX膜の蒸着温度と残留分極を示すグラフである。

【図7】 ECR-OX膜の酸素ガスフローレートと残留分極を示すグラフである。

【図8】 ECR-OX膜の蒸着温度とストレスを示すグラフである。

【図9】 ECR-OX膜の酸素ガスフローレートとストレスを示すグラフである。

【図10】 低温酸化膜の熱処理温度と下部基板に与えるストレスを示すグラフである。

【図11】 ECR-OX (2000オングストローム) / USG (2500オングストローム) を第2層間絶縁膜 / 第3層間絶縁膜として使用するとき、強誘電体キャパシターの両端に印加される電圧に対する電流変化及び残留分極を示すグラフである。

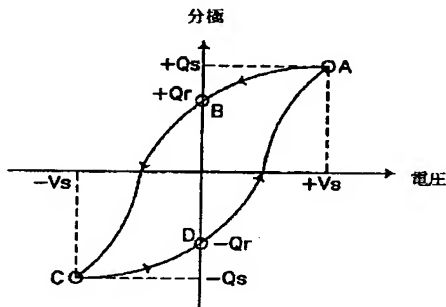
【図12】 ECR-OX (4500オングストローム) を第2層間絶縁膜 / 第3層間絶縁膜として使用する

とき強誘電体キャパシターの両端に印加される電圧に対する電流変化及び残留分極を示すグラフである。

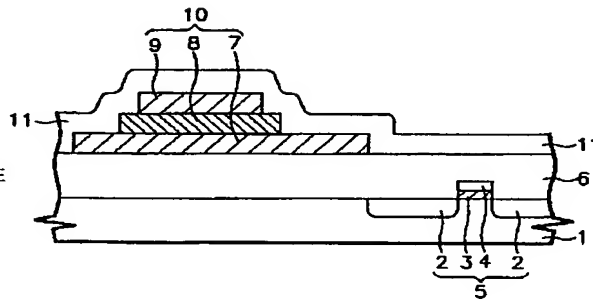
【符号の説明】

- 1 半導体基板
- 2 拡散層
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 MOSトランジスター
- 6 層間絶縁膜
- 7 下部電極
- 8 強誘電体膜
- 9 上部電極
- 10 強誘電体キャパシター
- 11 第2層間絶縁膜
- 12 第1金属配線
- 12a コンタクトホール
- 13 第3層間絶縁膜
- 14 第2金属配線

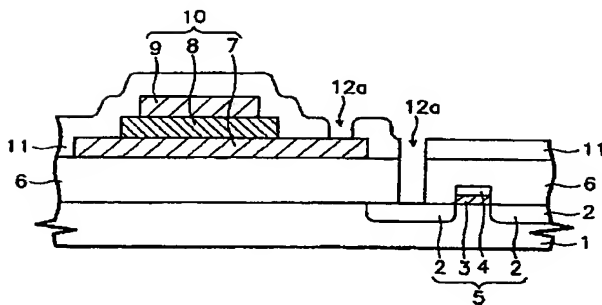
【図1】



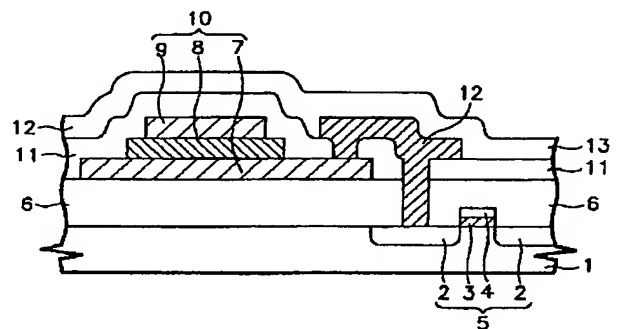
【図2】



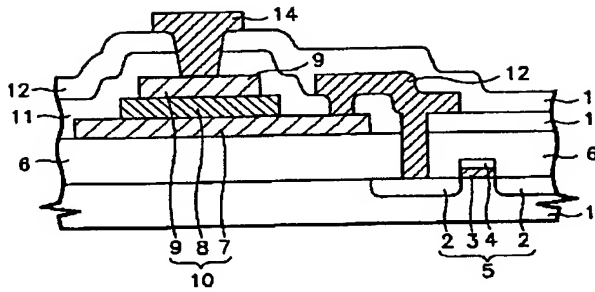
【図3】



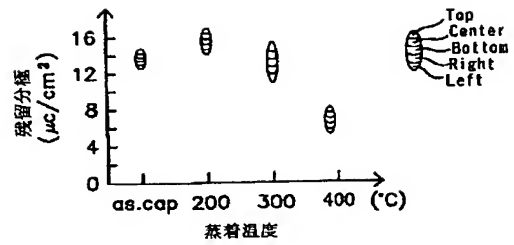
【図4】



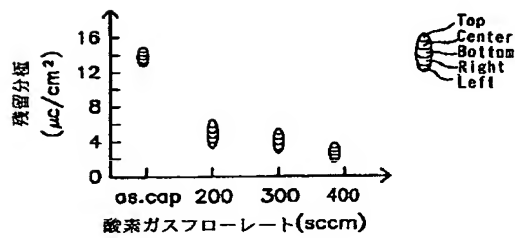
【図5】



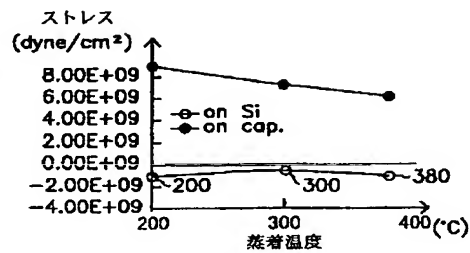
【図6】



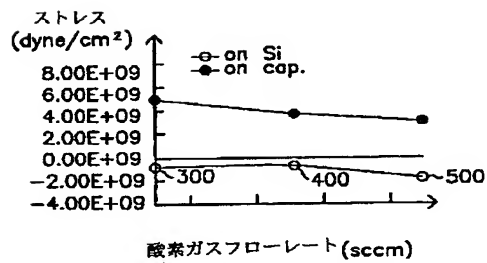
【図7】



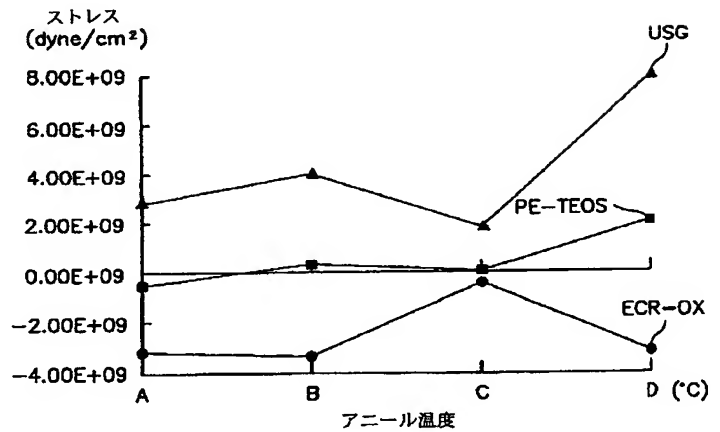
【図8】



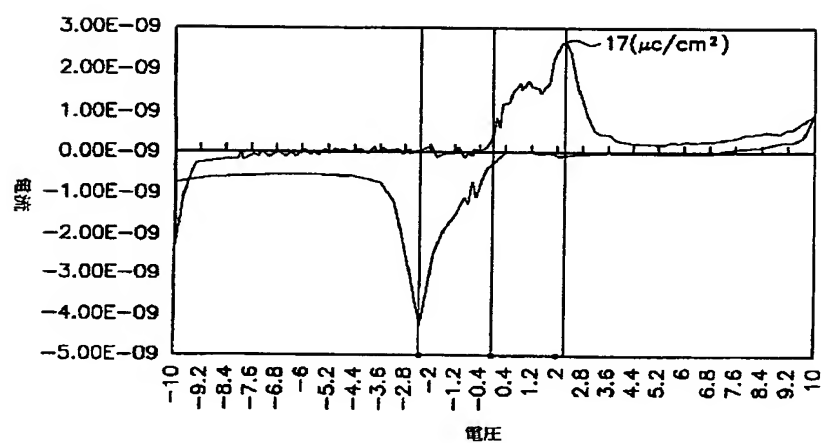
【図9】



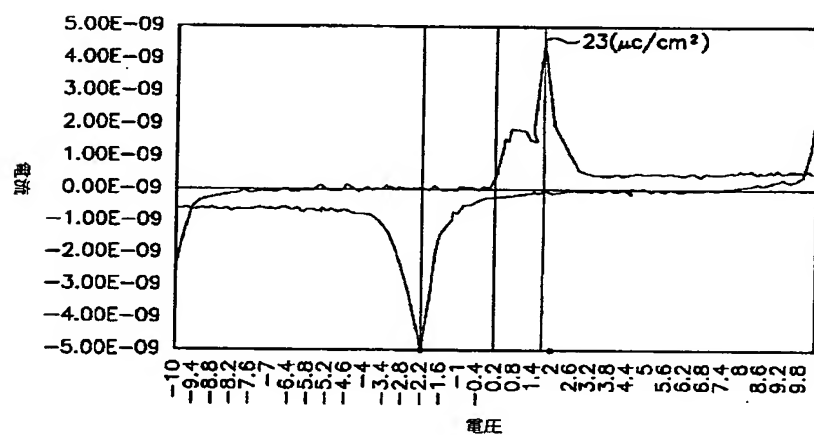
【図10】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H01L 21/8247

29/788

29/792

識別記号

F I